

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-303133

(43)Date of publication of application : 28.10.1994

(51)Int.CI. H03L 7/097
H04L 7/02

(21)Application number : 05-091179

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 19.04.1993

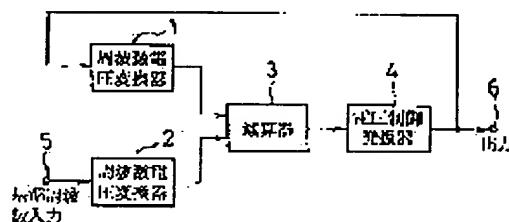
(72)Inventor : TAYA TAKASHI
YOSHIDA SATOSHI
YAMAOKA SHINSUKE
ODAGIRI HIDEAKI

(54) OSCILLATION CIRCUIT, FREQUENCY VOLTAGE CONVERSION CIRCUIT, PHASE LOCKED LOOP CIRCUIT AND CLOCK EXTRACT CIRCUIT

(57)Abstract:

PURPOSE: To allow the oscillation circuit, the frequency voltage conversion circuit, the phase locked loop circuit and the clock extract circuit to be suitable for circuit integration by improving tracking performance of input data regardless of their small size.

CONSTITUTION: An output of a voltage controlled oscillator circuit 4 is inputted to a frequency voltage conversion circuit 1, and a voltage difference between an output of the frequency voltage conversion circuit 1 and an output voltage of a reference frequency voltage converter 2 is fed to a control voltage of the voltage controlled oscillator circuit 4. Thus, the frequency accuracy of the oscillation circuit is easily improved in the integrated circuit, a defect of difficulty in the circuit integration and the need of adjustment of the voltage controlled oscillator circuit 4 is eliminated and defects of the phase locked loop circuit and the clock extract circuit such as large sized components or a long time from impression of an input signal till output of an extracted clock are avoided.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-303133

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 03 L 7/097		8730-5J	H 03 L 7/ 06	F
H 04 L 7/02		7741-5K	H 04 L 7/ 02	

審査請求 未請求 請求項の数 4 OL (全 10 頁)

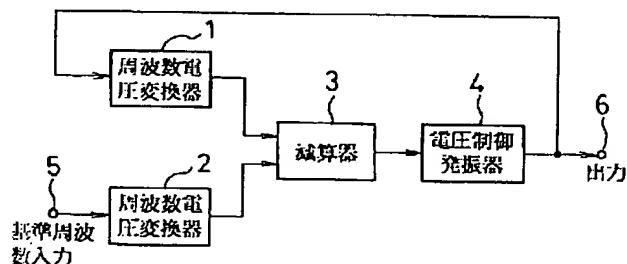
(21)出願番号	特願平5-91179	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成5年(1993)4月19日	(72)発明者	太矢 隆士 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(72)発明者	吉田 晴 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(72)発明者	山岡 信介 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74)代理人	弁理士 工藤 宣幸 (外2名) 最終頁に続く

(54)【発明の名称】 発振回路、周波数電圧変換回路、位相同期ループ回路及びクロック抽出回路

(57)【要約】

【目的】 発振回路、周波数電圧変換回路、位相同期ループ回路及びクロック抽出回路において、小形で入力データに対する追随性を向上し、集積回路化に適するようとする。

【構成】 電圧制御発振回路4の出力を周波数電圧変換回路1に入力し、周波数電圧変換回路1の出力と基準となる電圧の差電圧を電圧制御発振回路4の制御電圧入力に印加することにより、集積回路において、発振回路の周波数精度を容易に向上することができ、電圧制御発振回路の集積回路化が困難及び調整が必要であるという欠点を除去でき、また位相同期ループ回路およびクロック抽出回路において部品形状が大きくなったり、入力信号が印化されてから抽出クロックが出力され始めるまでの時間が長いという欠点が除去し得る。



実施例の発振回路(1)

【特許請求の範囲】

【請求項 1】自走発振手段を有して発振信号を出力する発振回路において、

制御信号によって出力の周波数が制御される発振器と、上記発振器の出力又は当該発振器の出力が分周された信号を入力とする第 1 の周波数電圧変換器と、

基準周波数信号又は当該基準周波数信号が分周された信号を入力とする第 2 の周波数電圧変換器と、

上記第 1 の周波数電圧変換器の出力及び上記第 2 の周波数電圧変換器の出力を入力とし、当該第 1 及び第 2 の周波数電圧変換器の出力の差を出力する減算器とを具え、上記減算器の出力又は当該減算器の出力を增幅した信号を上記発振器に入力し、上記発振器の出力の周波数を上記基準周波数信号の周波数によって制御するようにしたことを特徴とする発振回路。

【請求項 2】入力信号の周波数に比例した出力電圧を出力する周波数電圧変換回路において、

上記入力信号の変化点を検出する変化点検出器と、当該変化点検出器の出力を積分し、上記出力電圧として送出する積分器とを具えることを特徴とする周波数電圧変換回路。

【請求項 3】位相比較器、ループフィルタ及び発振器を有する位相同期ループ回路において、

上記発振器の出力又は当該発振器の出力が分周された信号を入力とする第 1 の周波数電圧変換器と、

基準周波数信号又は当該基準周波数信号が分周された信号を入力とする第 2 の周波数電圧変換器と、

上記第 1 の周波数電圧変換器の出力と上記第 2 の周波数電圧変換器の出力を入力とし、当該第 1 及び第 2 の周波数電圧変換器の出力の差を出力する減算器と、

上記ループフィルタの出力及び上記減算器の出力を加算する加算器とを具え、上記加算器の出力を上記発振器に入力し、自走周波数を上記基準周波数信号の周波数によって制御するようにしたことを特徴とする位相同期ループ回路。

【請求項 4】自走発振手段を有し、入力データ信号から当該入力データ信号に同期したクロック信号を抽出出力するクロック抽出回路において、

入力データ信号の変化点を検出して、当該変化点検出信号を出力する変化点検出手段と、

上記変化点検出信号に基づき上記自走発振手段の位相を制御する発振位相入力付き発振器と、

当該発振器の出力又は当該発振器の出力が分周された信号を入力とする第 1 の周波数電圧変換器と、

基準周波数信号又は当該基準周波数信号が分周された信号を入力とする第 2 の周波数電圧変換器と、

上記第 1 の周波数電圧変換器の出力及び上記第 2 の周波数電圧変換器の出力を入力として当該第 1 及び第 2 の周波数電圧変換器の差を出力する減算器とを具え、上記減算器の出力又は上記減算器の出力を增幅した信号を

上記発振器に入力し、上記発振器の自走周波数を上記基準周波数信号の周波数によって制御するようにしたことを特徴とするクロック抽出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、発振回路、周波数電圧変換回路、位相同期ループ回路及びクロック抽出回路に関し、例えば、集積回路化され通信機等に使用されるものに適用し得る。

【0002】

【従来の技術】従来、通信機等に使用されるクロック抽出装置として、変化点検出器と位相同期ループ回路とから構成されたものがある (Roland E. BEST 著「PHASE-LOCKED LOOPS THEORY, DESIGN, AND APPLICATIONS」McGRAW-HILL BOOK COMPANY 社 1984 年発行 第 212 頁～第 215 頁)。

【0003】このようなクロツク抽出装置では、入力 NRZ デジタル信号が変化点検出器に入力され、この結果得られる変化点検出器の出力が位相同期ループの位相比較器の一方の入力に入力され、位相比較器の出力がループフィルタに入力され、ループフィルタの出力が電圧制御発振器に入力され、電圧制御発振器の出力が位相比較器の他方の入力に接続され、電圧制御発振器の出力がクロック抽出装置の出力となる。

【0004】位相同期ループは電圧制御発振器の出力信号の位相が、変化点検出器の出力と同期するように働き、結果として入力 NRZ デジタル信号からクロックを抽出し、入力 NRZ デジタル信号に同期した抽出クロック信号を出力するようになされている。

【0005】

【発明が解決しようとする課題】ところが、上述の構成のクロツク抽出装置では、位相同期ループ回路を使用しているため、動作周波数範囲やキャプチャレンジ、耐ジャッタ特性などを実用的な値とするためには、ループフィルタの時定数として非常に大きな値を使用する必要があるため、部品形状が大きくなることに加えて、入力信号が印加されてから抽出クロック信号が出力され始めるまでの時間が長くなり、入力データに対する追随性が悪くなる欠点があった。

【0006】また、電圧制御発振回路の自走周波数は、所望の動作周波数に対してある範囲の精度が必要で集積回路化が困難であったり、調整が必要であったりする問題があった。

【0007】この発明は、以上の点に考慮してなされたもので、従来の問題を一挙に解決して、小形で入力データに対する追随性を向上し集積回路化に適した発振回路、周波数電圧変換回路、位相同期ループ回路及びクロック抽出回路を提案しようとするものである。

【0008】

【課題を解決するための手段】かかる課題を解決するた

め本発明においては、自走発振手段を有して発振信号を出力する発振回路において、制御電圧によって出力の周波数が制御される電圧制御発振器4と、電圧制御発振器4の出力又はその電圧制御発振器4の出力が分周された信号を入力とする第1の周波数電圧変換器1と、基準周波数信号又はその基準周波数信号が分周された信号を入力とする第2の周波数電圧変換器2と、第1の周波数電圧変換器1の出力及び第2の周波数電圧変換器2の出力を入力とし、その第1及び第2の周波数電圧変換器1及び2の出力の差を出力する減算器3とを設け、減算器3の出力又はその減算器3の出力を増幅した信号を電圧制御発振器4に入力し、電圧制御発振器4の出力の周波数を基準周波数信号の周波数によって制御するようにした。

【0009】また、本発明においては、入力信号の周波数に比例した出力電圧を出力する周波数電圧変換回路1において、入力信号の変化点を検出する変化点検出器19と、その変化点検出器19の出力を積分し出力電圧として送出する積分器20とを設けるようにした。

【0010】さらに、本発明においては、位相比較器11、ループフィルタ12及び電圧制御発振器4を有する位相同期ループ回路において、電圧制御発振器4の出力又はその電圧制御発振器4の出力が分周された信号を入力とする第1の周波数電圧変換器1と、基準周波数信号又はその基準周波数信号が分周された信号を入力とする第2の周波数電圧変換器2と、第1の周波数電圧変換器1の出力と第2の周波数電圧変換器2の出力を入力とし、その第1及び第2の周波数電圧変換器1及び2の出力の差を出力する減算器3と、ループフィルタ12の出力及び減算器3の出力を加算する加算器13とを設け、加算器13の出力を電圧制御発振器4に入力し、自走周波数を基準周波数信号の周波数によって制御するようにした。

【0011】さらにまた、本発明においては、自走発振手段を有し、入力データ信号からその入力データ信号に同期したクロック信号を抽出出力するクロック抽出回路において、入力データ信号の変化点を検出して、その変化点検出信号を出力する変化点検出手段16と、変化点検出信号に基づき自走発振手段の位相を制御する発振位相入力付き電圧制御発振器17と、その電圧制御発振器17の出力又はその電圧制御発振器17の出力が分周された信号を入力とする第1の周波数電圧変換器1と、基準周波数信号又はその基準周波数信号が分周された信号を入力とする第2の周波数電圧変換器2と、第1の周波

$$K_{FV} \times F_{OUT}$$

$$K_{FV} \times F_{REF}$$

で表される。さらに、減算器3の出力は、次式

$$(K_{FV} \times F_{REF}) - (K_{FV} \times F_{OUT}) \quad \dots (1)$$

で表され、電圧制御発振器4の出力は、次式

$$F_{OUT} = K_0 \times \{ (K_{FV} \times F_{REF}) - (K_{FV} \times F_{OUT}) \} \quad \dots (2)$$

数電圧変換器1の出力及び第2の周波数電圧変換器2の出力を入力としてその第1及び第2の周波数電圧変換器1及び2の差を出力する減算器3とを設け、減算器3の出力又は減算器3の出力信号を増幅した信号を電圧制御発振器17に入力し、電圧制御発振器17の自走周波数を基準周波数信号の周波数によって制御するようにした。

【0012】

【作用】電圧制御発振回路4の出力を周波数電圧変換回路1に入力し、周波数電圧変換回路1の出力と基準となる電圧の差電圧を電圧制御発振回路4の制御信号入力に印加するようにしたので、特に集積回路において発振回路の周波数精度を容易に向上することができ、電圧制御発振回路4の集積回路化が困難あるいは調整が必要であるという欠点を除去でき、また位相同期ループ回路およびクロック抽出回路において部品形状が大きくなったり、入力信号が印化されてから抽出クロックが出力され始めるまでの時間が長いという欠点が除去し得る。

【0013】

【実施例】以下、図面を参照しながら、本発明の一実施例について詳述する。

【0014】本発明は、電圧制御発振回路の出力を周波数電圧変換回路に入力し、周波数電圧変換回路の出力と基準となる電圧の差電圧を電圧制御発振回路の制御電圧入力に印加することを原理としている。

【0015】図1は、本発明による発振回路の実施例を示し、第1の周波数電圧変換器1の出力が減算器3の一方の入力に接続され、第2の周波数電圧変換器2の出力が減算器3の他方の入力に接続され、減算器3の出力が電圧制御発振器4の入力に接続され、電圧制御発振器4の出力が周波数電圧変換器1の入力と出力端子6に接続され、基準周波数入力端子5が周波数電圧変換器2の入力に接続される。

【0016】2つの周波数電圧変換器1及び2は、ほぼ同一の周波数電圧変換比を有するように設定されている。これは例えば両者を同一の集積回路基板上に構成する等の方法で実現できる。ここでその周波数電圧変換比をK_{FV}とする。基準周波数入力端子5には、外部から基準周波数F_{REF}の信号を入力する。電圧制御発振器4は入力電圧に比例した周波数F_{OUT}の発振出力を出力しその比例定数をK₀とする。

【0017】このようにすると、周波数電圧変換器1及び周波数電圧変換器2の出力はそれぞれ次式

$$\dots (1)$$

$$\dots (2)$$

$$\dots (3)$$

$$\dots (4)$$

で表され、これを F_{OUT} について解くと、次式(5)のようになる。

$$F_{OUT} = F_{REF} \times [1 / 1 + \{1 / (K_0 \times KFV)\}] \quad \dots \dots (5)$$

この式(5)より、 $K_0 \times KFV$ が1と比較して十分大きいと、 F_{OUT} は F_{REF} と等しいとみなせる。

【0019】従って、図1の発振回路における出力端子6の出力周波数は、基準周波数入力端子5に与えられる基準信号の周波数と等しくなるように回路は動作する。すなわち基準信号の周波数精度が十分高ければ、電圧制御発振器4の精度にかかわらず出力端子6には十分な精度の周波数出力が得られる。

【0020】このような動作は位相同期ループ回路と類似しているが、基準周波数入力端子5に与えられる信号と、出力端子6に出力される信号の周波数のみが等しくなり、両者の位相関係は不定であるところが位相同期ループ回路と異なる。

【0021】図1の発振回路において、 $K_0 \times KFV$ の値

$$F_{OUT} = N \times F_{REF}$$

のように表すことができる。

【0023】また、図4に示す発振回路では、図3の発振回路の構成に対して、基準周波数入力端子5が分周器9の入力に接続されている。この分周器9の出力を周波

$$F_{OUT} = N / M \times F_{REF}$$

のように表すことができる。

【0024】また、図5は本発明による発振回路の別の実施例であり、電圧制御発振器4の出力は出力端子6と周波数電圧変換器1の入力に接続され、周波数電圧変換器1の出力は減算器3の一方の入力に接続され、基準電

$$KFV \times F_{OUT}$$

で表される。基準電圧入力端子10の電圧を V_{REF} とす

$$V_{REF} = (KFV \times F_{OUT})$$

で表される。従って、電圧制御発振器の出力は

$$F_{OUT} = K_0 \times \{V_{REF} - (KFV \times F_{OUT})\} \quad \dots \dots (10)$$

で表され、これを F_{OUT} について解くと、次式(11)

のようになる。

$$F_{OUT} = V_{REF} \times [1 / \{KVF + (1 / K_0)\}] \quad \dots \dots (11)$$

従って、 K_0 が十分大きい場合には、外部基準電圧 V_{REF} と周波数電圧変換器1の変換定数 KVF によって出力周波数 F_{OUT} が決定することが分かる。なお、上述した電圧制御発振器は電流制御発振器でもよく、その場合には電圧を電流に置き換えれば動作が説明できる。

【0026】図6は、本発明による位相同期ループ回路の実施例を示し、入力端子14が位相比較器11の一方の入力に接続され、電圧制御発振器4の出力が位相比較器11の他方の入力と、出力端子6と、周波数電圧変換器1に接続されている。また位相比較器11の出力がループフィルタ12の入力に接続され、ループフィルタ12の出力が加算器13の一方の入力に接続され、減算器3の出力が加算器13の他方の入力に接続されている。さらに加算器13の出力が電圧制御発振器4の入力に接

【0018】

が要求される精度に対して十分大きくない場合には、図2の発振回路に示すように、減算器3の出力を増幅器7の入力に接続し、増幅器7の出力を電圧制御発振器4の入力に接続すれば、 $K_0 \times KFV$ の値は増幅器7の利得倍だけ大きくなり、精度を高くすることができる。

【0022】図3は、本発明による発振回路の別の実施例を示す。図1の実施例による発振回路では、出力端子6の周波数が基準周波数入力端子5の周波数と等しかったが、この場合、電圧制御発振器4の出力を分周器8の入力に接続し、分周器8の出力を周波数電圧変換器1の入力に接続するようにしたので、分周器8の分周比を自然数Nとすると電圧制御発振器4の発振出力の周波数 F_{OUT} は、次式

$$\dots \dots (6)$$

数電圧変換器2の入力に接続するようにしたことにより、分周器9の分周比を自然数Mとすると、電圧制御発振器4の発振出力の周波数 F_{OUT} は、次式

$$\dots \dots (7)$$

圧入力端子10は減算器3の他方の入力に接続され、減算器3の出力は電圧制御発振器4の入力に接続されている。上述と同様に数式によって動作説明を行うと、周波数電圧変換器1の出力は次式

$$\dots \dots (8)$$

ると、減算器3の出力は次式

$$\dots \dots (9)$$

【0025】

統され、周波数電圧変換器1の出力が減算器3の一方の入力に接続され、周波数電圧変換器2の出力が減算器3の他方の出力に接続され、基準周波数入力端子5が周波数電圧変換器2の入力に接続される。

【0027】位相比較器11、ループフィルタ12、加算器13、電圧制御発振器4そして位相比較器11へ戻る信号経路は、通常の位相同期ループ(PLL)と同様に動作し、出力端子6には例えば入力信号14と周波数および位相が同一の信号が得られる。

【0028】周波数電圧変換器1、周波数電圧変換器2、減算器3で構成される部分は、図1について上述した発振回路と同様の動作により、電圧制御発振器4の発振周波数を、基準周波数入力端子5に与えられる基準周波数信号と等しくする。この場合、上述したように基準

周波数信号と電圧制御発振器4の発振出力の位相関係は不定であり、位相同期ループの動作を妨げることがない。

【0029】この位相同期ループの構成は、特に、集積回路として実現する場合に利点が多い。すなわち、図1について上述したように、2個の周波数電圧変換器1及び2の相対精度が高ければ電圧制御発振器4の発振周波数は外部からの基準周波数と十分な精度で等しくなるが、これは集積回路で容易に実現できる。この場合、電圧制御発振器4には精度が不要で、集積回路上のエミッタ結合型マルチバイブレータやリングオシレータなどが容易に使用できる。このように、電圧制御発振器4の周波数精度を高くできると、位相同期ループ回路の各種定数の設定自由度が大きくなり、例えば狭帯特性が得やすくなる。

【0030】また、この構成において、ループフィルタ12、減算器3、加算器13は機能別に別個に示したが、実現上の電子回路ではこれらの機能は複合して実現可能であり、例えば、加算器13と減算器3を一体化して実現することや、加算器13、減算器3とループフィルタ12の機能を一体化して実現することも可能である。また、加算器13、減算器3の機能を電圧制御発振器4の内部に取り込む構成も可能である。さらに、この構成では、電圧制御発振器4を用いているが、電流制御発振器を用いても実質上同一のものが実現できる。さらにまた、この構成に加えて、図2に上述したように減算器3の出力に増幅器7を挿入してもよい。

【0031】なお、図6の位相同期ループにおいては、図3及び図4の発振回路について上述したように、周波数電圧変換器1の入力に分周器8を挿入したり、周波数電圧変換器2の入力に分周器9を挿入したりすることができ、この場合には基準周波数は出力周波数と任意の整数比を持つものが選定できる。

【0032】図7は、本発明によるクロック抽出回路の一実施例を示し、周波数電圧変換器1の出力が減算器3の一方の入力に接続され、周波数電圧変換器2の出力が減算器3の他方の入力に接続されている。また減算器3の出力が位相制御入力付き電圧制御発振器17の周波数制御入力に接続され、位相制御入力付き電圧制御発振器17の出力が出力端子6及び周波数電圧変換器1の入力に接続され、基準周波数入力端子5が周波数電圧変換器2の入力に接続されている。

【0033】さらに、クロック抽出回路の入力端子15が変化点検出回路16の入力に接続され、変化点検出回路16の出力が位相制御入力付き電圧制御発振器17の

$$V_{OUT} = F_{IN} \times T_P \times V_P$$

で与えられ、これにより周波数電圧変換が実現される。積分器は、例えば増幅器とキヤバシタによって構成されるが、図2に上述したように積分器、減算器、増幅器の機能を一体として実現することができる。

位相制御入力に接続される。ここで、変化点検出回路16及び位相制御入力付き電圧制御発振器17は、特願平4-23628号において開示されたものである。實際上、入力データ信号は入力端子15を経て変化点検出器16に入力され、変化点検出器16の出力には入力データ信号の変化点を示すパルス信号が得られ、それを位相制御入力付き電圧制御発振器17の位相制御入力に入力することにより、発振出力の位相を制御し、入力データ信号と位相が一致したクロック信号が出力端子6に得られる。

【0034】周波数電圧変換器1、周波数電圧変換器2、減算器3及び位相制御入力付き電圧制御発振器17で構成される部分は、図1の発振回路と同様の動作により、位相制御入力付き電圧制御発振器17の発振周波数を、基準周波数入力端子5に与えられる基準周波数と等しくする。この場合上述したように位相制御入力付き電圧制御発振器17の発振出力の位相と、基準周波数入力端子5に与えられる基準周波数信号の位相は不定であるので、変化点検出回路16の出力信号による位相制御を妨げることがない。

【0035】また、この構成では、電圧制御発振器17を示しているが、電流制御発振器を用いても、実質上同一のものが実現される。さらに、図2について上述したように、減算器3の出力に増幅器7を挿入しても良い。また、図3及び図4に示したように、周波数電圧変換器1の入力に分周器8を挿入したり、周波数電圧変換器2の入力に分周器9を挿入したりすることができ、この場合には、基準周波数は出力周波数と任意の整数比を持つものが選定できる。

【0036】図8は、本発明による発振回路、位相同期ループ、クロック抽出回路に適する周波数電圧変換器の実施例を示し、入力端子18に与えられた入力信号が変化点検出器19に入力され、変化点検出器19の出力は積分器20に入力され、積分器20の出力が出力端子21に出力される。このうち、変化点検出器は、図9(A), (B), (C)に示すような回路で実現されている。

【0037】例えば、立上り変化点検出器(図9(A))では、入力信号の立ち上がりで一定時間長のパルス信号を出し、積分器20は、そのパルス信号を入力信号の繰り返し周期より十分長い時定数で積分し、出力端子に電圧信号を出力する。例えば、変化点検出器(立上り変化点の検出器)の出力のパルス電圧振幅 V_P 、1個のパルスの時間長 T_P とし、入力信号が方形波で周波数が F_{IN} の場合、積分器の出力電圧 V_{OUT} は、 T_P が入力信号の周期($1/F_{IN}$)より小さい場合、次式

$$\dots \quad (12)$$

【0038】このように構成すれば、電圧制御発振器の出力を周波数電圧変換器に入力し、周波数電圧変換器の出力と基準となる電圧の差電圧を電圧制御発振器の制御電圧入力に印加するようにしたので、特に、集積回路に

において、発振回路の周波数精度を容易に向上去ることが可能で、電圧制御発振器の集積回路化が困難あるいは調整が必要であるという欠点を除去できる発振回路、周波数電圧変換回路、位相同期ループ、クロック抽出回路を実現できる。

【0039】

【発明の効果】 上述のように本発明によれば、電圧制御発振回路の出力を周波数電圧変換回路に入力し、周波数電圧変換回路の出力と基準となる電圧の差電圧を電圧制御発振回路の制御電圧入力に印加するようにしたので、特に集積回路において発振回路の周波数精度を容易に向上去ができる、電圧制御発振回路の集積回路化が困難あるいは調整が必要であるという欠点を除去でき、また位相同期ループ回路およびクロック抽出回路において部品形状が大きくなったり、入力信号が印化されてから抽出クロックが出力され始めるまでの時間が長いという欠点が除去でき、小形で、入力データに対する追随性の優れ、集積回路化に適した装置を提供することが可能である。

【図面の簡単な説明】

【図1】 本発明による発振回路の一実施例を示すプロツク図である。

【図2】 本発明による発振回路の一実施例を示すプロツク図である。

【図3】 本発明による発振回路の一実施例を示すプロツク図である。

【図4】 本発明による発振回路の一実施例を示すプロツク図である。

【図5】 本発明による発振回路の一実施例を示すプロツク図である。

【図6】 本発明による位相同期ループの一実施例を示すプロツク図である。

【図7】 本発明によるクロック抽出回路の一実施例を示すプロツク図である。

【図8】 本発明による周波数電圧変換器の一実施例を示すプロツク図である。

【図9】 周波数電圧変換器における変化点検出器を示すプロツク図である。

【符号の説明】

1, 2 周波数電圧変換器

3 減算器

4 電圧制御発振器

7 増幅器

8, 9 分周器

11 位相比較器

12 ループフィルタ

13 加算器

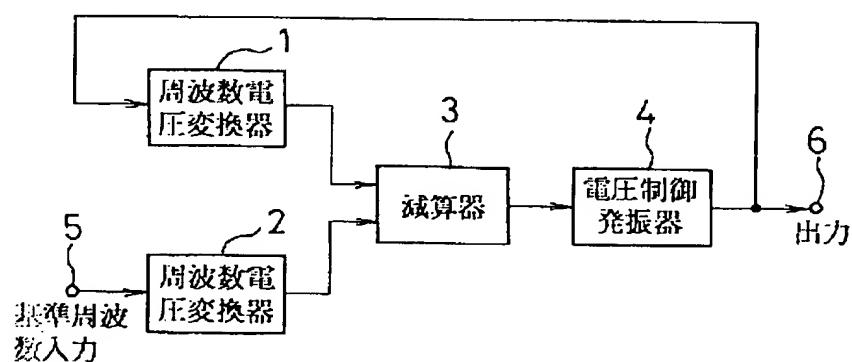
16 変化点検出回路

17 位相制御入力付き電圧制御発振器

19 変化点検出器

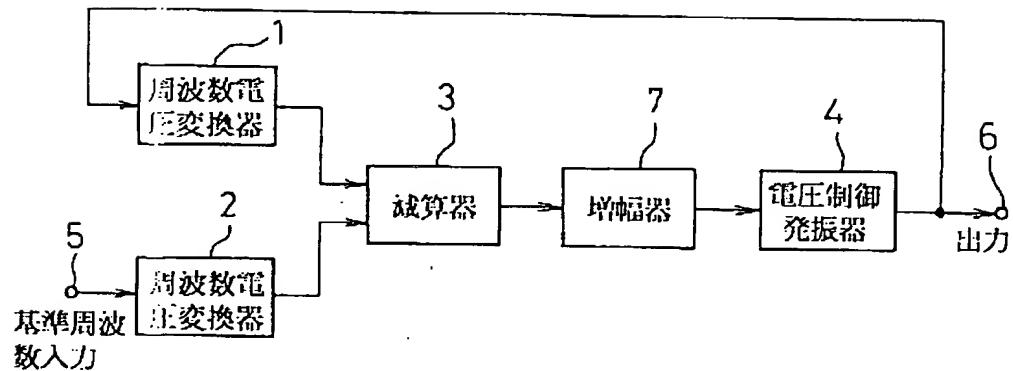
20 積分器

【図1】



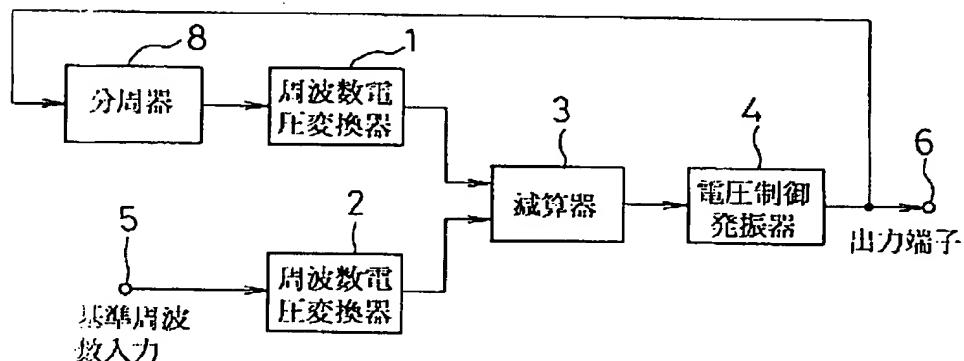
実施例の発振回路(1)

【図2】



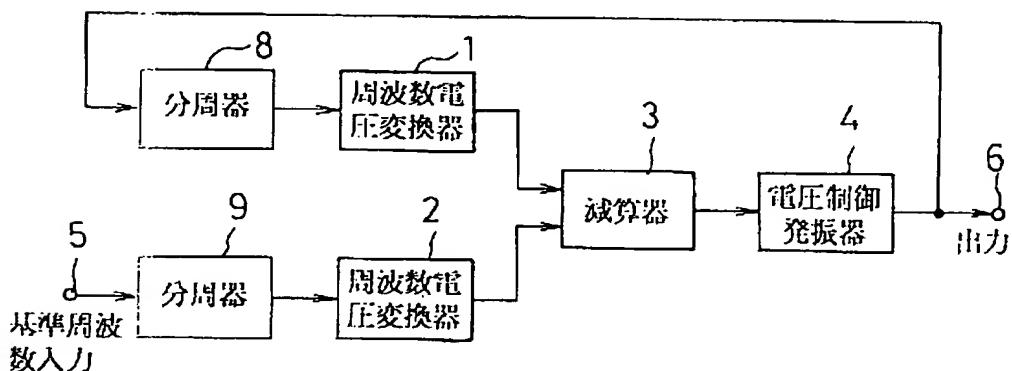
実施例の発振回路(2)

【図3】



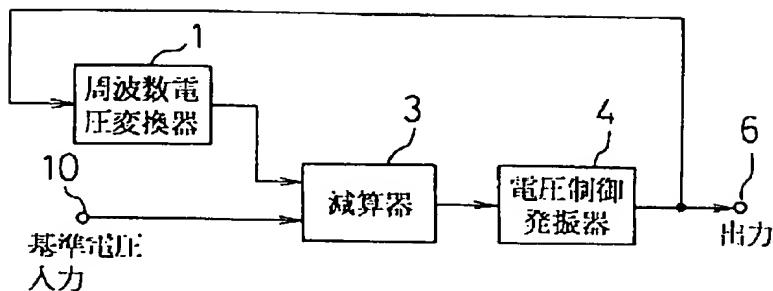
実施例の発振回路(3)

【図4】



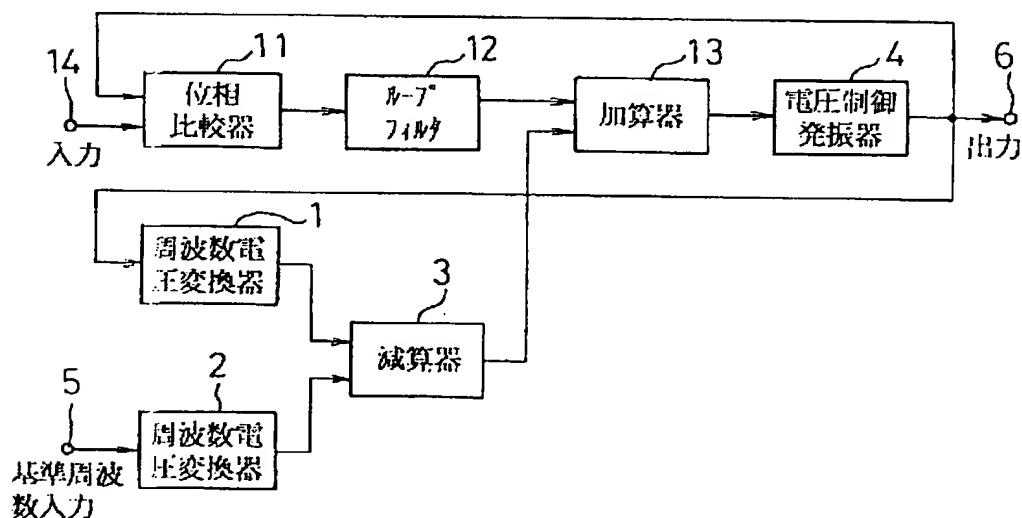
実施例の発振回路(4)

【図 5】



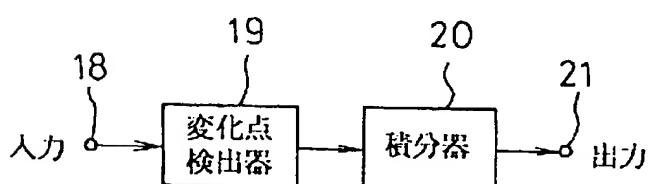
実施例の発振回路(5)

【図 6】



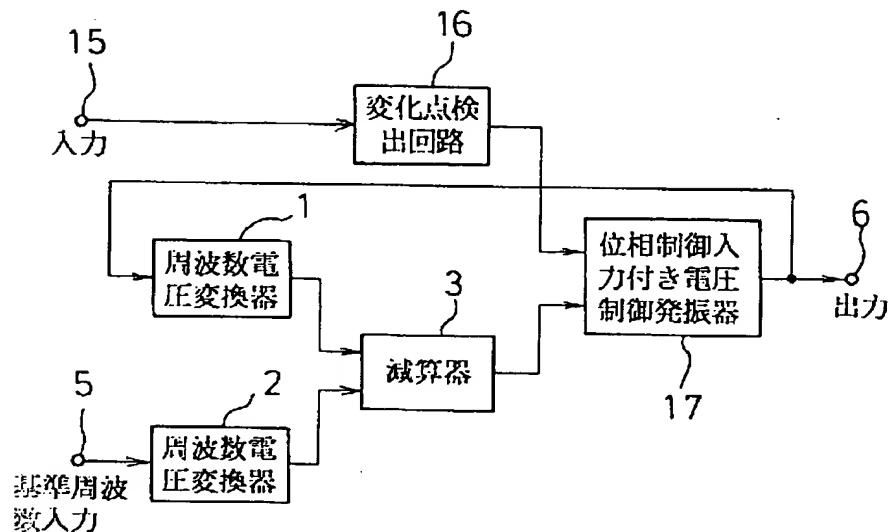
実施例の位相同期ループ

【図 8】



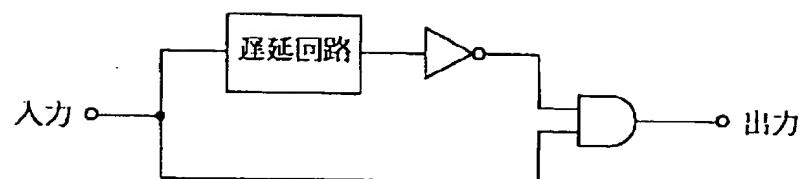
周波数電圧変換器

【図 7】

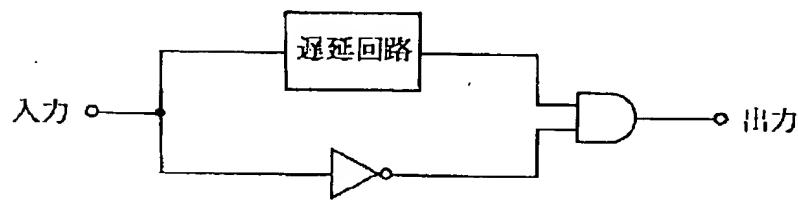


実施例の周波数抽出回路

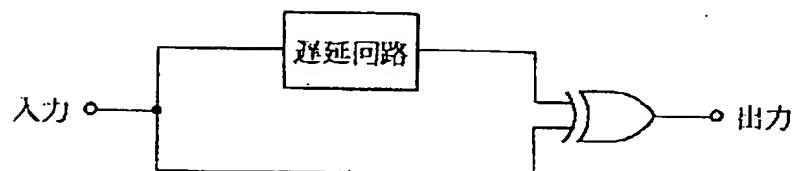
【図9】



(A) 立ち上り変化点検出器



(B) 立下り変化点検出器



(C) 立上り及び立下り変化点検出器

変化点検出器

フロントページの続き

(72)発明者 小田切 英昭

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内